

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-203261

(43)Date of publication of application : 27.07.2001

(51)Int.Cl.

H01L 21/76

(21)Application number : 2000-009369

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 18.01.2000

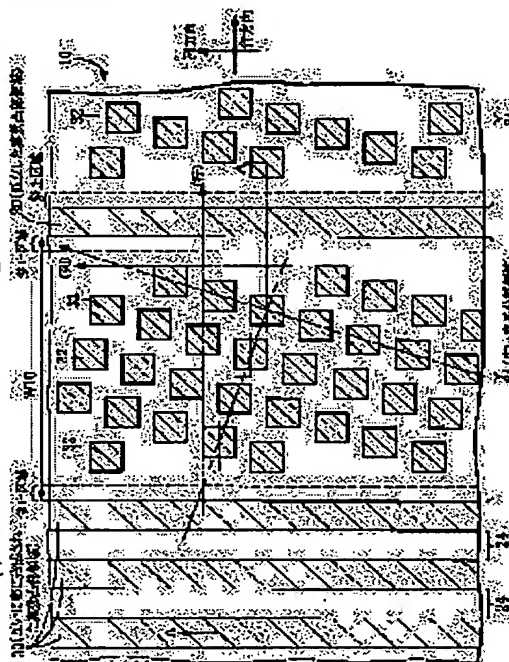
(72)Inventor : MORI KATSUMI
KAWAHARA TAKASHI
KASUYA YOSHIKAZU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method which has dummy bump regions formed in a specified pattern within trench element isolating regions.

SOLUTION: The semiconductor device involves a silicon substrate 10 having trench element isolating regions 24, and a plurality of dummy bump regions 32 are provided in the trench element isolating region 24. Assuming a first virtual straight line L1 extending in a direction intersecting the row direction, the angle between the first virtual straight line L1 and the row direction is 2-40°. Assuming a second virtual straight line L2 extending in a direction intersecting the column direction, the angle between the second virtual straight line L2 and the column direction is 2-40°. The dummy bump regions 32 are disposed so as to locate on the first and second virtual straight lines L1, L2.



LEGAL STATUS

[Date of request for examination]

18.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-203261

(P2001-203261A)

(43)公開日 平成13年7月27日 (2001.7.27)

(51)Int.Cl.⁷

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

テ-マ-ト*(参考)

N 5 F 0 3 2

審査請求 有 請求項の数33 O L (全 16 頁)

(21)出願番号 特願2000-9369(P2000-9369)

(22)出願日 平成12年1月18日(2000.1.18)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 森 克己

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 川原 敬

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100090479

弁理士 井上 一 (外2名)

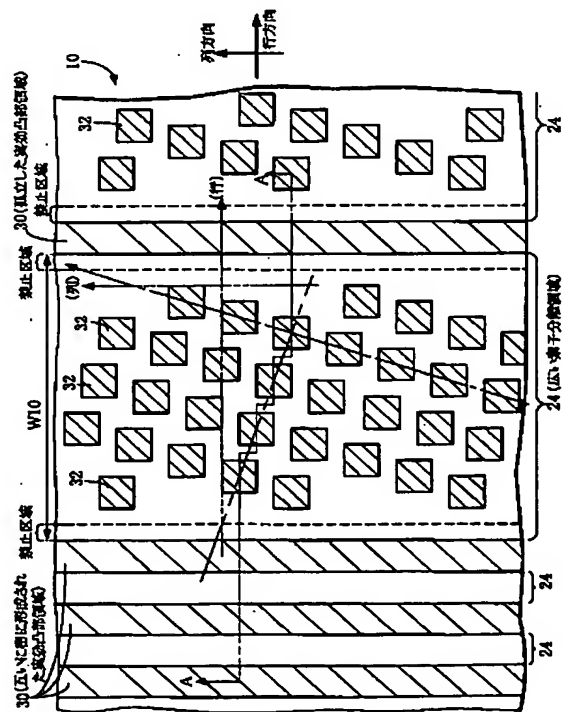
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 トレンチ素子分離領域内に、ダミー凸部領域が所定のパターンで形成された半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置は、トレンチ素子分離領域24を有するシリコン基板10を含む。トレンチ素子分離領域24内において、複数のダミー凸部領域32が設けられている。行方向と交差する方向に沿って伸びる、第1の仮想直線L1を想定すると、第1の仮想直線L1と行方向とのなす角は、2〜40度である。また、列方向と交差する方向に沿って伸びる、第2の仮想直線L2を想定すると、第2の仮想直線L2と列方向とのなす角は、2〜40度である。ダミー凸部領域32は、第1の仮想直線L1および第2の仮想直線L2上に位置するように、配置されている。



【特許請求の範囲】

【請求項 1】 トレンチ素子分離領域を有し、
前記トレンチ素子分離領域内において、複数のダミー凸部領域が設けられ、
行方向と交差する方向に沿って伸びる、第 1 の仮想直線を想定すると、
前記第 1 の仮想直線と前記行方向とのなす角は、 $2 \sim 40$ 度であり、
前記ダミー凸部領域は、前記第 1 の仮想直線上に位置するように、配置された、半導体装置。

【請求項 2】 請求項 1 において、
前記第 1 の仮想直線間において、所定の間隔が置かれている、半導体装置。

【請求項 3】 請求項 2 において、
前記間隔は、 $1 \sim 16 \mu\text{m}$ である、半導体装置。

【請求項 4】 請求項 1～3 のいずれかにおいて、
前記ダミー凸部領域は、該ダミー凸部領域の中心が、前記第 1 の仮想直線上に位置するように、配置された、半導体装置。

【請求項 5】 トレンチ素子分離領域を有し、
前記トレンチ素子分離領域内において、複数のダミー凸部領域が設けられ、
列方向と交差する方向に沿って伸びる、第 2 の仮想直線を想定すると、
前記第 2 の仮想直線と前記列方向とのなす角は、 $2 \sim 40$ 度であり、
前記ダミー凸部領域は、前記第 2 の仮想直線上に位置するように、配置された、半導体装置。

【請求項 6】 請求項 1～4 のいずれかにおいて、
さらに、列方向と交差する方向に沿って伸びる、第 2 の仮想直線を想定すると、
前記第 2 の仮想直線と前記列方向とのなす角は、 $2 \sim 40$ 度であり、
前記ダミー凸部領域は、さらに、前記第 2 の仮想直線上に位置するように、配置された、半導体装置。

【請求項 7】 請求項 5 または 6 において、
前記第 2 の仮想直線間において、所定の間隔が置かれている、半導体装置。

【請求項 8】 請求項 7 において、
前記間隔は、 $1 \sim 16 \mu\text{m}$ である、半導体装置。

【請求項 9】 請求項 5～8 のいずれかにおいて、
前記ダミー凸部領域は、該ダミー凸部領域の中心が、前記第 2 の仮想直線上に位置するように、配置された、半導体装置。

【請求項 10】 請求項 1～9 のいずれかにおいて、
平面形状において、前記トレンチ素子分離領域の面積に占める、ダミー凸部領域の面積の割合は、 $30 \sim 50\%$ である、半導体装置。

【請求項 11】 請求項 10 において、
前記割合は、約 40% である、半導体装置。

【請求項 12】 請求項 1～11 のいずれかにおいて、
前記ダミー凸部領域の平面形状は、ほぼ方形をなす、半導体装置。

【請求項 13】 請求項 12 において、
前記ダミー凸部領域の平面形状は、ほぼ正方形をなす、半導体装置。

【請求項 14】 請求項 12 または 13 において、
前記第 1 の仮想直線または前記第 2 の仮想直線上に配置された、隣り合う前記ダミー凸部領域は、平面形状において、互いに部分的に対向し合う辺を有する、半導体装置。

【請求項 15】 請求項 14 において、
対向し合う、前記辺同士の間隔は、前記ダミー凸部領域の一边より短い、半導体装置。

【請求項 16】 請求項 14 または 15 において、
対向し合う、前記辺同士の間隔は、 $0.5 \sim 5 \mu\text{m}$ である、半導体装置。

【請求項 17】 請求項 16 において、
前記辺同士の間隔は、約 $1 \mu\text{m}$ である、半導体装置。

【請求項 18】 請求項 12～17 のいずれかにおいて、
前記ダミー凸部領域の一边の長さは、 $1 \mu\text{m}$ 以上である、半導体装置。

【請求項 19】 請求項 12～18 のいずれかにおいて、
前記ダミー凸部領域の一边の長さは、 $10 \mu\text{m}$ 以下である、半導体装置。

【請求項 20】 請求項 12～19 のいずれかにおいて、
前記ダミー凸部領域の一边の長さは、 $5 \mu\text{m}$ 以下である、半導体装置。

【請求項 21】 請求項 12～20 のいずれかにおいて、
前記ダミー凸部領域の一边の長さは、約 $2 \mu\text{m}$ である、半導体装置。

【請求項 22】 請求項 1～21 のいずれかにおいて、
前記トレンチ素子分離領域内において、禁止区域が設定され、
前記禁止区域に部分的に重なることになるダミー凸部領域は、形成されていない、半導体装置。

【請求項 23】 請求項 22 において、
前記禁止区域の幅は、 $0.5 \sim 20 \mu\text{m}$ である、半導体装置。

【請求項 24】 トレンチ素子分離領域を有し、
前記トレンチ素子分離領域内において、複数のダミー凸部領域が設けられ、前記ダミー凸部領域は、平面形状において、ほぼ正方形をなし、
行方向で隣り合う前記ダミー凸部領域間の間隔は、該ダミー凸部領域の一边の長さの、ほぼ半分であり、
行方向で隣り合う前記ダミー凸部領域は、互いに列方向

にずれ、

前記ダミー凸部領域の列方向にずれた幅は、該ダミー凸部領域の一辺の長さの、ほぼ半分である、半導体装置。

【請求項 25】 トレンチ素子分離領域を有し、前記トレンチ素子分離領域内において、複数のダミー凸部領域が設けられ、前記ダミー凸部領域は、平面形状において、ほぼ正方形をなし、

列方向で隣り合う前記ダミー凸部領域間の間隔は、該ダミー凸部領域の一辺の長さの、ほぼ半分であり、

列方向で隣り合う前記ダミー凸部領域は、互いに行方向にずれ、

前記ダミー凸部領域の行方向にずれた幅は、該ダミー凸部領域の一辺の長さの、ほぼ半分である、半導体装置。

【請求項 26】 請求項 24 において、さらに、列方向で隣り合う前記ダミー凸部領域間の間隔は、該ダミー凸部領域の一辺の長さの、ほぼ半分であり、

列方向で隣り合う前記ダミー凸部領域は、互いに行方向にずれ、

前記ダミー凸部領域の行方向にずれた幅は、該ダミー凸部領域の一辺の長さの、ほぼ半分である、半導体装置。

【請求項 27】 請求項 24～26 のいずれかにおいて、

前記ダミー凸部領域の一辺の長さは、約 $2\ \mu\text{m}$ である、半導体装置。

【請求項 28】 トレンチ素子分離領域を有する、半導体装置の製造方法であって、(a) シリコン基板の上に、所定のパターンを有する研磨ストップ層を形成する工程、(b) 少なくとも研磨ストップ層をマスクとして、前記シリコン基板にトレンチを形成する工程、

(c) 前記トレンチを充填するように、前記シリコン基板の上に、絶縁層を形成する工程、および (d) 前記研磨ストップ層をストップとして、前記絶縁層を研磨する工程、を含み、

前記工程 (b) において、前記トレンチ内に、複数のダミー凸部領域が形成され、

行方向と交差する方向に沿って伸びる、第 1 の仮想直線を想定すると、

前記第 1 の仮想直線と前記行方向とのなす角は、 $2\sim 40$ 度であり、

前記ダミー凸部領域は、前記第 1 の仮想直線上に位置するように、配置された、半導体装置の製造方法。

【請求項 29】 トレンチ素子分離領域を有する、半導体装置の製造方法であって、(a) シリコン基板の上に、所定のパターンを有する研磨ストップ層を形成する工程、(b) 少なくとも研磨ストップ層をマスクとして、前記シリコン基板にトレンチを形成する工程、

(c) 前記トレンチを充填するように、前記シリコン基板の上に、絶縁層を形成する工程、および (d) 前記研

磨ストップ層をストップとして、前記絶縁層を研磨する工程、を含み、

前記工程 (b) において、前記トレンチ内に、複数のダミー凸部領域が形成され、

列方向と交差する方向に沿って伸びる、第 2 の仮想直線を想定すると、

前記第 2 の仮想直線と前記列方向とのなす角は、 $2\sim 40$ 度であり、

前記ダミー凸部領域は、前記第 2 の仮想直線上に位置するように、配置された、半導体装置の製造方法。

【請求項 30】 請求項 28 において、さらに、列方向と交差する方向に沿って伸びる、第 2 の仮想直線を想定すると、

前記第 2 の仮想直線と前記列方向とのなす角は、 $2\sim 40$ 度であり、

前記ダミー凸部領域は、前記第 2 の仮想直線上に位置するように、配置された、半導体装置の製造方法。

【請求項 31】 トレンチ素子分離領域を有する、半導体装置の製造方法であって、(a) シリコン基板の上に、所定のパターンを有する研磨ストップ層を形成する工程、(b) 少なくとも研磨ストップ層をマスクとして、前記シリコン基板にトレンチを形成する工程、

(c) 前記トレンチを充填するように、前記シリコン基板の上に、絶縁層を形成する工程、および (d) 前記研磨ストップ層をストップとして、前記絶縁層を研磨する工程、を含み、

前記工程 (b) において、前記トレンチ内に、複数のダミー凸部領域が形成され、

前記ダミー凸部領域は、平面形状において、ほぼ正方形をなし、

行方向で隣り合う前記ダミー凸部領域間の間隔は、該ダミー凸部領域の一辺の長さの、ほぼ半分であり、

行方向で隣り合う前記ダミー凸部領域は、互いに列方向にずれ、

前記ダミー凸部領域の列方向にずれた幅は、該ダミー凸部領域の一辺の長さの、ほぼ半分である、半導体装置の製造方法。

【請求項 32】 トレンチ素子分離領域を有する、半導体装置の製造方法であって、(a) シリコン基板の上に、所定のパターンを有する研磨ストップ層を形成する工程、(b) 少なくとも研磨ストップ層をマスクとして、前記シリコン基板にトレンチを形成する工程、

(c) 前記トレンチを充填するように、前記シリコン基板の上に、絶縁層を形成する工程、および (d) 前記研磨ストップ層をストップとして、前記絶縁層を研磨する工程、を含み、

前記工程 (b) において、前記トレンチ内に、複数のダミー凸部領域が形成され、

前記ダミー凸部領域は、平面形状において、ほぼ正方形をなし、

5

列方向で隣り合う前記ダミー凸部領域間の間隔は、該ダミー凸部領域の一辺の長さの、ほぼ半分であり、
列方向で隣り合う前記ダミー凸部領域は、互いに行方向にずれ、

前記ダミー凸部領域の行方向にずれた幅は、該ダミー凸部領域の一辺の長さの、ほぼ半分である、半導体装置の製造方法。

【請求項 33】 請求項 31 において、

さらに、列方向で隣り合う前記ダミー凸部領域間の間隔は、該ダミー凸部領域の一辺の長さの、ほぼ半分であり、

列方向で隣り合う前記ダミー凸部領域は、互いに行方向にずれ、

前記ダミー凸部領域の行方向にずれた幅は、該ダミー凸部領域の一辺の長さの、ほぼ半分である、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に素子分離領域を有する半導体装置およびその製造方法に関する。

【0002】

【背景技術】近年、半導体素子（たとえば MOS トランジスタ）の微細化に伴い、素子分離領域の微細化が必要となっている。素子分離領域の微細化を達成するため、トレンチ素子分離技術が検討されている。トレンチ素子分離技術は、基板上の半導体素子間にトレンチを設け、このトレンチに絶縁材を充填することによって、半導体素子間を分離する技術である。次に、この技術の一例を説明する。

【0003】図 11 は、従来のトレンチ素子分離技術を利用した、素子分離領域の形成工程を模式的に示す断面図である。

【0004】図 11 (a) に示すように、トレンチ 116 を有するシリコン基板 110 上に、絶縁層 121 を形成する。このシリコン基板 110 の実効凸部領域 130 の上には、研磨ストップ層 114 が形成されている。実効凸部領域 130 と研磨ストップ層 114 との間には、パッド層 112 が介在されている。

【0005】次に、図 11 (b) に示すように、研磨ストップ層 114 をストップとして、絶縁層 121 を平坦化する。この絶縁層 121 の平坦化は、化学的機械的研磨法（以下「CMP 法」という）により行われる。

【0006】そして、図 11 (c) に示すように、研磨ストップ層 114 を除去することにより、トレンチ絶縁層 120 が形成され、トレンチ素子分離領域 124 が完成する。

【0007】しかし、図 11 (b) に示すように、デバイスの設計上、互いに密に形成された実効凸部領域 130 と、孤立した実効凸部領域 130 とが形成される場合

6

がある。このような場合、たとえば次の問題が生じる。

【0008】CMP 法で絶縁層 121 を平坦化する際に、孤立した実効凸部領域 130 における研磨ストップ層 114 が、極端に削られてしまう現象が生じる。一方、互いに密に形成された実効凸部領域 130 における研磨ストップ層 114 は、孤立した実効凸部領域 130 に比べると、削られない。この現象は、実効凸部領域 130 のパターン密度により、研磨レートが相違することから生じる。つまり、孤立した実効凸部領域 130 における研磨ストップ層 114 には、研磨圧力が集中してしまう。その結果、孤立した実効凸部領域 130 における研磨レートが、互いに密に形成された実効凸部領域 130 における研磨レートに比べて速くなってしまう。このため、孤立した実効凸部領域 130 における研磨ストップ層 114 の研磨が、過剰に進んでしまうことになる。

【0009】このように、孤立した実効凸部領域 130 における研磨ストップ層 114 が極端に削られると、たとえば、得られるトレンチ絶縁層 120 の膜厚がばらつくなどの不具合が生じる（図 11 (c) 参照）。また、研磨ストップ層 114 がその機能を発揮することができなくなるという不具合も生じる。さらに、孤立した実効凸部領域 130 が削られると、研磨布がたわみ、互いに密に形成された実効凸部領域 130 における研磨ストップ層 114 において、エロージョン (erosion) が生じる。エロージョンとは、研磨ストップ層 114 の角部 114a が削られる現象をいう。また、研磨布がたわむと、絶縁層 121 の上部においてディッシング (dishing) が生じる。ディッシングとは、絶縁層 121 の上部の形状が皿状になる現象をいう。

【0010】以上の問題を解決するために、図 12 に示すように、トレンチ 116 内に、ダミー凸部領域 132 を形成する技術が提案されている。ダミー凸部領域 132 を形成することにより、研磨圧力がダミー凸部領域 132 に分散され、孤立した実効凸部領域 130 に研磨圧力が集中するのを抑えることができる。その結果、孤立した実効凸部領域 130 における、研磨レートが速くなるのを抑えることができる。このため、ダミー凸部領域 132 を形成することにより、孤立した実効凸部領域 130 が削られるのを抑えることができる。

【0011】ダミー凸部領域 132 を形成した技術は、特開平 9-107028 号公報、特開平 9-181159 号公報、特開平 10-92921 号公報、特開平 11-26576 号公報、米国特許第 5,885,856 号および米国特許第 5,902,752 号において、開示されている。

【0012】

【発明が解決しようとする課題】本発明の目的は、トレンチ素子分離領域内に、ダミー凸部領域が所定のパターンで形成された半導体装置およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】（半導体装置）

（A）本発明の第1の半導体装置は、トレンチ素子分離領域を有し、前記トレンチ素子分離領域内において、複数のダミー凸部領域が設けられ、行方向と交差する方向に沿って伸びる、第1の仮想直線を想定すると、前記第1の仮想直線と前記行方向とのなす角は、2〜40度であり、前記ダミー凸部領域は、前記第1の仮想直線上に位置するように、配置されている。

【0014】ここで、「行方向」とは、たとえば、アクティブ領域、ゲート領域、nウエルとpウエルとの境界領域、禁止区域などを考慮して想定される、一の方

向である。

【0015】本発明の第1の半導体装置によれば、ダミー凸部領域は、第1の仮想直線上に位置するように形成されている。この第1の仮想直線と行方向とのなす角は、2〜40度である。つまり、同一の第1の仮想直線にあって、行方向に隣り合うダミー凸部領域は、互いに列方向にずれて形成されている。このため、行方向に伸びる禁止区域の付近においても、ダミー凸部領域を密に形成することが、容易となる。つまり、禁止区域内に、あるダミー凸部領域が重なる場合でも、禁止区域の付近において、他のダミー凸部領域が、確実に配置される。その結果、トレンチ内に充填された絶縁層を研磨する際、禁止区域の付近においても、ダミー凸部領域に、研磨圧力を確実に分散させることができる。

【0016】また、禁止区域の付近においても、確実にダミー凸部領域を配置することができるため、実効凸部領域間の間隔が狭い領域においても、確実にダミー凸部領域を配置することができる。

【0017】本発明の第1の半導体装置は、前記第1の仮想直線間において、所定の間隔が置かれていることが好ましい。前記間隔は、1〜16 μ mであることが好ましい。

【0018】前記ダミー凸部領域は、該ダミー凸部領域の中心が、前記第1の仮想直線上に位置するように、配置されていることが好ましい。

【0019】（B）本発明の第2の半導体装置は、トレンチ素子分離領域を有し、前記トレンチ素子分離領域内において、複数のダミー凸部領域が設けられ、列方向と交差する方向に沿って伸びる、第2の仮想直線を想定すると、前記第2の仮想直線と前記列方向とのなす角は、2〜40度であり、前記ダミー凸部領域は、前記第2の仮想直線上に位置するように、配置されている。

【0020】ここで「列方向」とは、行方向と直交する方向であり、たとえば、アクティブ領域、ゲート領域、nウエルとpウエルとの境界領域、禁止区域などを考慮して想定される、一の方

向である。

【0021】本発明の第2の半導体装置によれば、ダミー凸部領域は、第2の仮想直線上に位置するように形成

されている。この第2の仮想直線と列方向とのなす角は、2〜40度である。つまり、同一の第2の仮想直線にあって、列方向に隣り合うダミー凸部領域は、互に行方向にずれて形成されている。このため、列方向に伸びる禁止区域の付近においても、ダミー凸部領域を密に形成することが、容易となる。つまり、禁止区域内に、あるダミー凸部領域が重なる場合でも、禁止区域の付近において、他のダミー凸部領域が、確実に配置される。その結果、トレンチ内に充填された絶縁層を研磨する際、禁止区域の付近においても、ダミー凸部領域に、研磨圧力を確実に分散させることができる。

【0022】また、禁止区域の付近においても、確実にダミー凸部領域を配置することができるため、実効凸部領域間の間隔が狭い領域においても、確実にダミー凸部領域を配置することができる。

【0023】また、上述の、本発明の第1の半導体装置と、本発明の第2の半導体装置とを組み合わせた態様であってもよい。このように組み合わせた態様を有する半導体装置によれば、禁止区域の付近において、より確実にダミー凸部領域を形成することができる。

【0024】本発明の第2の半導体装置は、前記第2の仮想直線間において、所定の間隔が置かれていることが好ましい。前記間隔は、1〜16 μ mであることが好ましい。

【0025】前記ダミー凸部領域は、該ダミー凸部領域の中心が、前記第2の仮想直線上に位置するように、配置されていることが好ましい。

【0026】本発明の第1および第2の半導体装置において、ダミー凸部領域は、次の態様のうち、少なくともいずれかの態様をとることができる。

【0027】（1）平面形状において、前記トレンチ素子分離領域の面積に占める、ダミー凸部領域の面積の割合は、30〜50%である態様である。この割合が30〜50%の範囲内にあることで、ダミー凸部領域に研磨圧力を、より効果的に分散させることができる。さらに、前記割合は、約40%であることが好ましい。

【0028】（2）前記ダミー凸部領域の平面形状は、ほぼ方形をなす態様である。その形状が、ほぼ方形をなすことで、ダミー凸部領域の形成が容易となる。前記ダミー凸部領域の平面形状は、ほぼ正方形をなすことが好ましい。前記ダミー凸部領域の平面形状が、ほぼ正方形であることにより、より密に、ダミー凸部領域を形成することができる。たとえば、禁止区域が直交するような場所の付近においても、より確実にダミー凸部領域を形成することができる。このため、複雑なパターンで形成された禁止区域（たとえば、複雑なパターンで形成されたゲート領域の周囲の禁止区域）の付近においても、より効果的にダミー凸部領域を形成することができる。

【0029】（3）ダミー凸部領域の平面形状が方形の場合に、前記第1の仮想直線または前記第2の仮想直線

10

20

30

40

50

上に配置された、隣り合う前記ダミー凸部領域は、平面形状において、互いに部分的に対向し合う辺を有する態様である。対向し合う、前記辺同士の間隔は、前記ダミー凸部領域の一边より短いことが好ましい。または、対向し合う、前記辺同士の間隔は、好ましくは、 $0.5 \sim 5 \mu\text{m}$ 、より好ましくは、約 $1 \mu\text{m}$ である。

【0030】(4) ダミー凸部領域の平面形状が方形の場合に、前記ダミー凸部領域の一边の長さは、 $1 \mu\text{m}$ 以上である態様であることが好ましい。ダミー凸部領域の一边の長さが $1 \mu\text{m}$ 以上であることにより、ダミー凸部領域を発生させるためのマスクを作成する際において、マスク作成データ量が増大するのを抑えることができる。

【0031】そして、前記ダミー凸部領域の一边の長さは、 $10 \mu\text{m}$ 以下である態様であることが好ましく、さらに好ましくは $5 \mu\text{m}$ 以下の態様である。ダミー凸部領域の一边の長さが $5 \mu\text{m}$ 以下である場合には、トレンチ内に絶縁層を埋め込む際において、ダミー凸部領域の上に堆積される絶縁層が厚くなるのを抑えることができる。高密度プラズマ CVD 法を用いて、トレンチ内に絶縁層を埋め込む際に、特に好適となる。

【0032】特に好ましくは、前記ダミー凸部領域の一边の長さは、約 $2 \mu\text{m}$ である。

【0033】(5) 前記トレンチ素子分離領域内において、禁止区域が設定され、前記禁止区域に部分的に重なることになるダミー凸部領域は、形成されていないことが好ましい。これによって、パターン飛びや、絶縁層を研磨する際においてスクラッチ (scratch) が生じるのを、確実に防止することができる。前記禁止区域の幅は、たとえば $0.5 \sim 20 \mu\text{m}$ である態様である。

【0034】(C) 本発明の第 3 の半導体装置は、トレンチ素子分離領域を有し、前記トレンチ素子分離領域内において、複数のダミー凸部領域が設けられ、前記ダミー凸部領域は、平面形状において、ほぼ正方形をなし、行方向で隣り合う前記ダミー凸部領域間の間隔は、該ダミー凸部領域の一边の長さの、ほぼ半分であり、行方向で隣り合う前記ダミー凸部領域は、互いに列方向にずれ、前記ダミー凸部領域の列方向にずれた幅は、該ダミー凸部領域の一边の長さの、ほぼ半分である。

【0035】ここで、「行方向」および「列方向」は、本発明の第 1 および第 2 の半導体装置の項で説明したものと同様である。

【0036】本発明の第 3 の半導体装置によれば、行方向で隣り合う前記ダミー凸部領域は、互いに列方向にずれている。このため、本発明の第 3 の半導体装置は、本発明の第 1 の半導体装置と同様の作用効果を奏することができる。

【0037】(D) 本発明の第 4 の半導体装置は、トレンチ素子分離領域を有し、前記トレンチ素子分離領域内において、複数のダミー凸部領域が設けられ、前記ダミ

ー凸部領域は、平面形状において、ほぼ正方形をなし、列方向で隣り合う前記ダミー凸部領域間の間隔は、該ダミー凸部領域の一边の長さの、ほぼ半分であり、列方向で隣り合う前記ダミー凸部領域は、互に行方向にずれ、前記ダミー凸部領域の行方向にずれた幅は、該ダミー凸部領域の一边の長さの、ほぼ半分である。

【0038】ここで、「行方向」および「列方向」は、本発明の第 1 および第 2 の半導体装置の項で説明したものと同様である。

10 【0039】本発明の第 4 の半導体装置によれば、列方向で隣り合う前記ダミー凸部領域は、互に行方向にずれている。このため、本発明の第 4 の半導体装置は、本発明の第 2 の半導体装置と同様の作用効果を奏することができる。

【0040】また、上述の、本発明の第 3 の半導体装置と、本発明の第 4 の半導体装置とを組み合わせた態様であってもよい。このように組み合わせた態様を有する半導体装置によれば、禁止区域の付近において、より確実にダミー凸部領域を形成することができる。

20 【0041】本発明の第 3 および第 4 の半導体装置において、前記ダミー凸部領域の一边の長さは、約 $2 \mu\text{m}$ であることが好ましい。

【0042】(半導体装置の製造方法)

(A) 本発明の、第 1 の半導体装置の製造方法は、トレンチ素子分離領域を有する、半導体装置の製造方法であって、(a) シリコン基板の上に、所定のパターンを有する研磨ストップ層を形成する工程、(b) 少なくとも研磨ストップ層をマスクとして、前記シリコン基板にトレンチを形成する工程、(c) 前記トレンチを充填するように、前記シリコン基板の上に、絶縁層を形成する工程、および (d) 前記研磨ストップ層をストップとして、前記絶縁層を研磨する工程、を含み、前記工程

30 (b) において、前記トレンチ内に、複数のダミー凸部領域が形成され、行方向と交差する方向に沿って伸びる、第 1 の仮想直線を想定すると、前記第 1 の仮想直線と前記行方向とのなす角は、 $2 \sim 40$ 度であり、前記ダミー凸部領域は、前記第 1 の仮想直線上に位置するように、配置されている。

【0043】本発明の、第 1 の半導体装置の製造方法によれば、工程 (b) において、ダミー凸部領域が形成されている。このダミー凸部領域は、上述の、本発明の第 1 の半導体装置の項で説明したパターンと同様のパターンで形成されている。このため、工程 (b) において、禁止区域の付近において、ダミー凸部領域が、確実に形成されることになる。その結果、工程 (d) において、絶縁層を研磨する際に、ダミー凸部領域に研磨圧力を確実に分散することができる。したがって、研磨後に得られる絶縁層の厚さを均一にすることができる。

50 【0044】(B) 本発明の、第 2 の半導体装置の製造方法は、トレンチ素子分離領域を有する、半導体装置の

製造方法であって、(a) シリコン基板の上に、所定のパターンを有する研磨ストップ層を形成する工程、

(b) 少なくとも研磨ストップ層をマスクとして、前記シリコン基板にトレンチを形成する工程、(c) 前記トレンチを充填するように、前記シリコン基板の上に、絶縁層を形成する工程、および(d) 前記研磨ストップ層をストップとして、前記絶縁層を研磨する工程、を含み、前記工程(b)において、前記トレンチ内に、複数のダミー凸部領域が形成され、列方向と交差する方向に沿って伸びる、第2の仮想直線を想定すると、前記第2の仮想直線と前記列方向とのなす角は、2~40度であり、前記ダミー凸部領域は、前記第2の仮想直線上に位置するように、配置されている。

【0045】本発明の、第2の半導体装置の製造方法によれば、上述の、本発明の第2の半導体装置の項で説明したパターンと同様のパターンで、ダミー凸部領域が形成されている。このため、本発明によれば、本発明の第1の半導体装置の製造方法と、同様の効果を奏することができる。

【0046】本発明の第1の半導体装置の製造方法と、本発明の第2の半導体装置の製造法とを組み合わせてもよい。

【0047】すなわち、本発明の、第1の半導体装置の製造方法において、さらに、列方向と交差する方向に沿って伸びる、第2の仮想直線を想定すると、前記第2の仮想直線と前記列方向とのなす角は、2~40度であり、前記ダミー凸部領域は、前記第2の仮想直線上に位置するように、配置されていてもよい。

【0048】このように組み合わせた場合には、禁止区域の付近において、ダミー凸部領域をより確実に形成することができる。このため、研磨後に得られる絶縁層の厚さを、より均一にすることができる。

【0049】本発明の、第1および第2の半導体装置の製造方法には、第1および第2の仮想直線の構成として、半導体装置の項で説明した事項を適用できる。また、ダミー凸部領域は、半導体装置の項で説明した態様(1)~(5)を同様にとることができる。

【0050】(C) 本発明の、第3の半導体装置の製造方法は、トレンチ素子分離領域を有する、半導体装置の製造方法であって、(a) シリコン基板の上に、所定の

パターンを有する研磨ストップ層を形成する工程、(b) 少なくとも研磨ストップ層をマスクとして、前記シリコン基板にトレンチを形成する工程、(c) 前記トレンチを充填するように、前記シリコン基板の上に、絶縁層を形成する工程、および(d) 前記研磨ストップ層をストップとして、前記絶縁層を研磨する工程、を含み、前記工程(b)において、前記トレンチ内に、複数のダミー凸部領域が形成され、前記ダミー凸部領域は、平面形状において、ほぼ正方形をなし、行方向で隣り合う前記ダミー凸部領域間の間隔は、該ダミー凸部領域の

一辺の長さの、ほぼ半分であり、行方向で隣り合う前記ダミー凸部領域は、互いに列方向にずれ、前記ダミー凸部領域の列方向にずれた幅は、該ダミー凸部領域の一辺の長さの、ほぼ半分である。

【0051】本発明の、第3の半導体装置の製造方法によれば、上述の、本発明の第3の半導体装置の項で説明したパターンと同様のパターンで、ダミー凸部領域が形成されている。このため、本発明によれば、本発明の第1の半導体装置の製造方法と、同様の効果を奏することができる。

【0052】(D) 本発明の第4の半導体装置の製造方法は、トレンチ素子分離領域を有する、半導体装置の製造方法であって、(a) シリコン基板の上に、所定のパターンを有する研磨ストップ層を形成する工程、(b) 少なくとも研磨ストップ層をマスクとして、前記シリコン基板にトレンチを形成する工程、(c) 前記トレンチを充填するように、前記シリコン基板の上に、絶縁層を形成する工程、および(d) 前記研磨ストップ層をストップとして、前記絶縁層を研磨する工程、を含み、前記工程(b)において、前記トレンチ内に、複数のダミー凸部領域が形成され、前記ダミー凸部領域は、平面形状において、ほぼ正方形をなし、列方向で隣り合う前記ダミー凸部領域間の間隔は、該ダミー凸部領域の一辺の長さの、ほぼ半分であり、列方向で隣り合う前記ダミー凸部領域は、互いに行方向にずれ、前記ダミー凸部領域の行方向にずれた幅は、該ダミー凸部領域の一辺の長さの、ほぼ半分である。

【0053】本発明の、第4の半導体装置の製造方法によれば、上述の、本発明の第4の半導体装置の項で説明したパターンと同様のパターンで、ダミー凸部領域が形成されている。このため、本発明によれば、本発明の第1の半導体装置の製造方法と、同様の効果を奏することができる。

【0054】本発明の第3の半導体装置の製造方法と、本発明の第4の半導体装置の製造方法とを組み合わせてもよい。

【0055】このように組み合わせた場合には、禁止区域の付近において、ダミー凸部領域をより確実に形成することができる。このため、研磨後に得られる絶縁層の厚さを、より均一にすることができる。

【0056】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0057】〔半導体装置〕

(デバイスの構造) 以下、本実施の形態に係る半導体装置を説明する。本実施の形態に係る半導体装置は、シリコン基板において、トレンチ素子分離領域を有している。本実施の形態に係る半導体装置の特徴点は、トレンチ素子分離領域を有するシリコン基板の構成の点にある。以下、具体的に、トレンチ素子分離領域を有するシ

リコン基板の構成を説明する。図 1 は、トレンチ素子分離領域を有するシリコン基板の平面図である。図 2 は、図 1 における A-A 線に沿った断面を模式的に示す断面図である。

【0058】シリコン基板 10 には、所定のパターンを有する実効凸部領域 30 が形成されている。実効凸部領域 30 は、たとえば、MOS トランジスタなどの素子形成領域となる。実効凸部領域 30 は、規則的またはランダムに、配置されている。実効凸部領域 30 は、デバイスの設計上、互いに密に形成された実効凸部領域 30 と、孤立した実効凸部領域 30 とを有する。互いに密に形成された実効凸部領域 30 と、孤立した実効凸部領域 30 との間には、広い素子分離領域 24 が形成されている。

【0059】広いトレンチ素子分離領域 24 内には、ダミー凸部領域 32 が形成されている。ダミー凸部領域 32 は、行方向に交差する方向に沿って、整列配置するように形成されている。また、ダミー凸部領域 32 は、列方向に交差する方向に沿って、整列配置するように形成されている。ダミー凸部領域 32 が形成される、トレンチ素子分離領域 24 の幅（実効凸部領域間の間隔）W10 は、特に限定されない。

【0060】また、実効凸部領域 30 の周囲には、この後に詳述する禁止区域が設定されている。ここで、禁止区域とは、ダミー凸部領域 32 を発生させない領域をいう。つまり、ダミー凸部領域 32 は、この禁止区域内に掛からないように、形成されている。より具体的には、全体的または部分的に禁止区域に重なるダミー凸部領域は、完全に排除されている。部分的に禁止区域に重なるダミー凸部領域も完全に排除することによる利点は、後述の作用効果の項で詳述する。

【0061】以下、図 3 を参照しながら、ダミー凸部領域 32 の配置パターンを説明する。図 3 は、ダミー凸部領域 32 の配置パターンを説明するための図である。

【0062】ダミー凸部領域 32 は、第 1 の仮想直線 L1 上に位置するように形成されている。また、ダミー凸部領域 32 は、第 2 の仮想直線 L2 上に位置するように形成されている。ダミー凸部領域 32 は、たとえば、ダミー凸部領域 32 の中心が、第 1 の仮想直線 L1 の上に位置するように、形成される。また、ダミー凸部領域 32 は、たとえば、ダミー凸部領域 32 の中心が、第 2 の仮想直線 L2 の上に位置するように、形成される。

【0063】第 1 の仮想直線 L1 は、行方向と交差している。第 1 の仮想直線 L1 と行方向とのなす角 $\theta 1$ は、2~40 度であり、好ましくは 15~25 度であり、より好ましくは約 20 度である。ここで「行方向」とは、たとえば、アクティブ領域、ゲート領域、n ウェルと p ウェルとの境界領域、抵抗として機能するウェル、禁止区域などを考慮して想定される、一方向である。

【0064】第 2 の仮想直線 L2 は、列方向と交差して

いる。第 2 の仮想直線 L2 と列方向とのなす角 $\theta 2$ は、2~40 度であり、好ましくは 15~25 度であり、より好ましくは約 20 度である。ここで「列方向」とは、行方向と直交する方向であり、たとえば、アクティブ領域、ゲート領域、n ウェルと p ウェルとの境界領域、抵抗として機能するウェル、禁止区域などを考慮して想定される、一方向である。

【0065】第 1 の仮想直線 L1 は、複数本想定され、かつ、所定のピッチで想定される。第 1 の仮想直線 L1 間の間隔は、特に限定されず、たとえば 1~16 μm であり、好ましくは 2~5 μm である。第 2 の仮想直線 L2 は、複数本想定され、かつ、所定のピッチで想定される。第 2 の仮想直線 L2 間の間隔は、特に限定されず、たとえば 1~16 μm であり、好ましくは 2~5 μm である。

【0066】同一の第 1 の仮想直線 L1 上に配置された、隣り合うダミー凸部領域 32 は、互いに列方向にずれて形成されている。ダミー凸部領域 32 の列方向にずれた幅 Y10 は、好ましくは 0.5~5 μm 、さらに好ましくは 0.5~2 μm 、特に好ましくは約 1 μm である。

【0067】同一の第 2 の仮想直線 L2 上に配置された、列方向に隣り合うダミー凸部領域 32 は、互に行方向にずれて形成されている。ダミー凸部領域 32 の行方向にずれた幅 X10 は、好ましくは 0.5~5 μm 、より好ましくは 0.5~2 μm 、特に好ましくは約 1 μm である。

【0068】平面形状において、トレンチ素子分離領域 24 の単位面積に占める、ダミー凸部領域 32 の面積の割合は、特に限定されず、好ましくは 30~50%、より好ましくは約 40% である。具体的には、単位ユニットの全面積に占める、ダミー凸部領域の面積の割合は、好ましくは 30~50%、より好ましくは約 40% である。

【0069】ここで「単位ユニット」とは、そのユニットを上下左右に繰り返すことで、全体のパターンを形成することができる最小のユニットをいう。具体的には、図 3 においては、「単位ユニット」は、四角形 ABCD によって囲まれる領域である。

【0070】ダミー凸部領域 32 の平面形状は、特に限定されず、たとえば多角形、円形を挙げることができる。ダミー凸部領域 32 の平面形状は、好ましくは多角形であり、より好ましくは方形であり、特に好ましくは正方形である。ダミー凸部領域 32 の平面形状が正方形であると、トレンチ素子分離領域 24 内に、より密にダミー凸部領域 32 を形成することができる。たとえば、禁止区域が直交するような場所の付近においても、ダミー凸部領域 32 をより確実に形成することができる。このため、複雑なパターンで形成された禁止区域（たとえば、複雑なパターンで形成されたゲート領域の周囲の禁

止区域)の付近においても、より効果的にダミー凸部領域32を形成することができる。

【0071】ダミー凸部領域32の平面形状が正方形である場合において、一辺の長さT10は、特に限定されないが、たとえば $1\sim 10\mu\text{m}$ 、好ましくは $1\sim 5\mu\text{m}$ 、より好ましくは、約 $2\mu\text{m}$ である。ダミー凸部領域の一辺の長さT10が $1\mu\text{m}$ 以上であることにより、ダミー凸部領域32を発生させるための、マスクを作成する際において、マスク作成データ量が著しく増大するのを抑えることができる。ダミー凸部領域32の一辺の長さT10が $5\mu\text{m}$ 以下であることにより、後述する、トレンチ16内に絶縁層21を埋め込む際に、ダミー凸部領域32の上に堆積される絶縁層の厚さが、実効凸部領域(たとえば回路領域)30の上に堆積される絶縁層の厚さと、ほぼ同等にすることができる。このため、ダミー凸部領域の一辺の長さT10が $5\mu\text{m}$ 以下である場合には、後述する絶縁層21の研磨工程後において、ダミー凸部領域32の上に絶縁層21が残存するのを、より確実に抑えることができる。また、ダミー凸部領域の一辺の長さT10が $5\mu\text{m}$ 以下であることは、高密度プラズマCVD法により、トレンチ16内に絶縁層21を充填する際、特に有用である。

【0072】ダミー凸部領域32の平面形状が正方形の場合に、同一の第1の仮想直線L1上に配置された、隣り合うダミー凸部領域32は、互いに部分的に対向する辺S1、S2を有する。この対向する辺S1、S2同士の間隔G10は、特に限定されないが、好ましくは $0.5\sim 5\mu\text{m}$ 、より好ましくは約 $1\mu\text{m}$ である。または、間隔G10は、ダミー凸部領域32の一辺の長さT10より短く設定されることが好ましく、ダミー凸部領域32の一辺の長さT10の、ほぼ半分であることがより好ましい。

【0073】ダミー凸部領域32の平面形状が正方形の場合に、同一の第2の仮想直線L2上に配置された、隣り合うダミー凸部領域32は、互いに部分的に対向する辺S3、S4を有する。この対向する辺S3、S4同士の間隔G20は、特に限定されないが、好ましくは $0.5\sim 5\mu\text{m}$ 、より好ましくは約 $1\mu\text{m}$ である。または、間隔G20は、ダミー凸部領域32の一辺の長さT10より短く設定されることが好ましく、ダミー凸部領域32の一辺の長さT10の、ほぼ半分であることがより好ましい。

【0074】ダミー凸部領域32の平面形状が正方形の場合には、行方向で隣り合う、ダミー凸部領域32の列方向にずれた幅Y10は、ダミー凸部領域32の一辺の長さの、ほぼ半分であることが好ましい。また、列方向で隣り合う、ダミー凸部領域32の行方向にずれた幅X10は、ダミー凸部領域の一辺の長さの、ほぼ半分であることが好ましい。

【0075】(作用効果)ダミー凸部領域32が以上の

構成で形成されることにより、たとえば、次の作用効果を奏することができる。この作用効果を、図4を参照しながら説明する。図4は、ダミー凸部領域32の配置パターンの作用効果を説明するための図である。

【0076】(1)図4(a)に示すように、トレンチ素子分離領域内であって、実効凸部領域の周囲において、行方向に伸びる禁止区域が存在している場合を考える。この場合、この禁止区域と平行に、格子状のダミー凸部領域を形成することが考えられる。ダミー凸部領域が格子状に形成された場合には、ダミー凸部領域の一つが禁止区域に掛かると、そのダミー凸部領域と同じ行にある他のダミー凸部領域がすべて、禁止区域に掛かることになる。このため、ダミー凸部領域が禁止区域内に掛からないように、禁止区域の付近にダミー凸部領域を形成するには、ダミー凸部領域の位置を制御する必要がある。この制御は、たとえばマスク作成データの増大などを招くため、技術的に難しい。一方、禁止区域の付近にダミー凸部領域を形成できない場合は、その禁止区域の付近において、トレンチ素子分離領域内に形成されるダミー凸部領域の密度が、不充分になってしまう。

【0077】しかし、本実施の形態においては、図4

(b)に示すように、ダミー凸部領域32は、行方向と交差する方向に伸びる第1の仮想直線L1上に位置するように、形成されている。つまり、同一の第1の仮想直線L1上にある、隣り合うダミー凸部領域32は、互いに列方向にずれて形成されている。このため、同一の仮想直線上において、あるダミー凸部領域が、禁止区域に掛かったとしても、隣りの他のダミー凸部領域32は、禁止区域に掛かからないように配置できる。その結果、ダミー凸部領域32の形成位置を制御することなく、禁止区域の付近にダミー凸部領域32を確実に形成することができる。

【0078】また、本実施の形態においては、ダミー凸部領域32は、さらに、列方向と交差する方向に伸びる第2の仮想直線L2上に位置するように、形成されている。つまり、同一の第2の仮想直線L2上にある、隣り合うダミー凸部領域32は、互に行方向にずれて形成されている。このため、ダミー凸部領域32が第1の仮想直線L1上にある場合と同様の理由で、列方向に伸びる禁止区域の付近に、ダミー凸部領域32を確実に形成することができる。

【0079】(2)本実施の形態では、部分的に禁止区域に重なるダミー凸部領域は、完全に排除されている。このため、たとえば、次の作用効果が奏される。

【0080】図4(b)において、禁止区域に部分的に重なるダミー凸部領域のうち、禁止区域に重ならない一部の領域(斜線で示す領域)(以下「残存ダミー凸部領域」という)を発生させることが考えられる。この残存ダミー凸部領域は、本来のダミー凸部領域の平面形状の一部が欠けた、平面形状を有する。すなわち、残存ダミ

一凸部領域の平面形状は、本来のダミー凸部領域の平面形状と比べて、小さくなる。この残存ダミー凸部領域の平面形状の寸法が、極端に小さく（たとえば、解像限界またはデザインルールより小さく）なると、たとえば次のような問題が生じることが考えられる。

【0081】（a）残存ダミー凸部領域を規定するレジスト層を形成するのが困難となり、残存ダミー凸部領域のパターン飛びが発生する。（b）残存ダミー凸部領域を形成するためのレジスト層を形成できたとしても、そのレジスト層が倒れ、倒れたレジスト層が、トレンチを形成するためのエッチングの際にゴミとなり、そのエッチングに悪影響を及ぼす。（c）残存ダミー凸部領域の凸部は細くなるため、残存ダミー凸部領域の凸部が、凸部領域形成のエッチング工程後の、基板の洗浄工程などの際に折れ、表面異物となる。（d）この表面異物が絶縁層内にとり込まれると、絶縁層の研磨の際に、スクラッチ（scratch）が生じたりする。

【0082】しかし、本実施の形態では、残存ダミー凸部領域を形成していない。このため、上述のような問題が発生するのを確実に防止することができる。

【0083】（禁止区域）次に、禁止区域を具体的に説明する。図5は、禁止区域を説明するため図であって、ダミー凸部領域を有するシリコン基板の平面図である。図5において、禁止区域を斜線で示す。禁止区域は、たとえば、次の領域において設定される。

【0084】（1）第1に、実アクティブ領域A1の周囲の領域である。この領域に禁止区域を設けないと、ダミー凸部領域32が、実アクティブ領域A1と接した状態で形成される場合がある。この場合、たとえば、実アクティブ領域A1とダミー凸部領域32とがショートしてしまい、必要以外の部分がアクティブ領域となってしまう不具合が生じる。この禁止区域の幅W1は、この不具合を抑えることができれば特に限定されず、たとえば0.5～20μm、好ましくは1～5μmである。なお、ダミー凸部領域32は、禁止区域に掛からない程度で、実アクティブ領域A1の付近まで形成されていることが好ましい。

【0085】（2）第2に、ゲート領域が形成されることになる領域A2の周囲の領域である。この領域に禁止区域を設けないと、ダミー凸部領域32と、ゲート領域とが重なった状態で形成される場合がある。この場合、必要以外の領域でゲート領域の下にアクティブ領域が形成され、ゲートとアクティブで容量結合が形成されてしまい、本来のトランジスタの特性を劣化させてしまうなどの不具合が生じる。この禁止区域の幅W2は、この不具合を抑えることができれば特に限定されず、たとえば0.5～20μm、好ましくは1～5μmである。

【0086】（3）第3に、nウエルとpウエルとの境界領域A3の周囲の領域である。この領域に禁止区域を設けないと、nウエルとpウエルとの境界領域A3にお

いて、ダミー凸部領域32が形成される場合がある。この場合、nウエルとpウエルとがダミー凸部領域32を介して接触してしまい、電流リークが発生するなどの不具合が生じる。この禁止区域の幅W3は、この不具合を抑えることができれば特に限定されず、たとえば0.5～20μm、好ましくは1～5μmである。なお、ダミー凸部領域32は、禁止区域に掛からない程度で、nウエルとpウエルとの境界領域A3の付近まで形成されていることが好ましい。

10 【0087】（4）第4に、抵抗として機能するウエル領域A4の周囲の領域である。この領域に禁止区域を設けないと、ウエル領域A4上にダミー凸部領域32が形成されるため、ウエル領域A4の抵抗などが変化するなどの不具合が生じる。この禁止区域の幅W4は、この不具合を抑えることができれば特に限定されず、たとえば0.5～20μm、好ましくは1～5μmである。なお、ダミー凸部領域32は、禁止区域に掛からない程度で、抵抗として機能するウエル領域A4の付近まで形成されていることが好ましい。

20 【0088】〔半導体装置の製造方法〕

（製造プロセス）次に、実施の形態に係る半導体装置の製造プロセスについて説明する。具体的には、トレンチ素子分離領域の形成方法について説明する。図6～図8は、本実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【0089】（1）まず、図6（a）を参照しながら説明する。シリコン基板10上に、パッド層12を形成する。パッド層12の材質としては、たとえば酸化シリコン、酸化窒化シリコンなどを挙げることができる。パッド層12が酸化シリコンからなる場合には、熱酸化法、CVD法などにより形成することができる。パッド層12が酸化窒化シリコンからなる場合には、CVD法などにより形成することができる。パッド層12の膜厚は、たとえば5～20nmである。

【0090】次に、パッド層12上に、研磨ストップ層14を形成する。研磨ストップ層14としては、単層構造または多層構造を挙げることができる。単層構造としては、たとえば窒化シリコン層、多結晶シリコン層および非晶質シリコン層のいずれかを挙げることができる。多層構造としては、窒化シリコン層と多結晶シリコン層と非晶質シリコン層との中から選択される少なくとも2種からなる多層構造などを挙げることができる。研磨ストップ層14の形成方法としては、公知の方法たとえばCVD法などを挙げることができる。研磨ストップ層14は、後のCMPにおけるストップとして機能するのに十分な膜厚、たとえば50～250nmの膜厚を有する。

【0091】次に、研磨ストップ層14の上に、所定のパターンのレジスト層R1を形成する。具体的には、レジスト層R1は、デバイスの構造の項で説明した凸部領

域 30, 32 のパターンが形成されるように、パターンニングされている (図 1 参照)。より具体的には、レジスト層 R1 は、実効凸部領域 30 およびダミー凸部領域 32 の形成領域の上方のレジスト層 R1 が残存するように、パターンニングされている。

【0092】(2) 次に、図 6 (b) に示すように、レジスト層 R1 をマスクとして、研磨ストップ層 14 およびパッド層 12 をエッチングする。このエッチングは、たとえばドライエッチングにより行われる。

【0093】(3) 次に、レジスト層 R1 を除去する。レジスト層 R1 は、たとえばアッシングにより除去される。次いで、図 6 (c) に示すように、研磨ストップ層 14 をマスクとして、シリコン基板 10 をエッチングし、トレンチ 16 を形成する。トレンチ 16 が形成されることにより、実効凸部領域 30 とダミー実効凸部領域 32 とが形成される。トレンチ 16 の深さは、デバイスの設計で異なるが、たとえば 300~500 nm である。シリコン基板 10 のエッチングは、ドライエッチングにより行うことができる。これらの凸部領域 30, 32 の断面形状は、テーパ形状であることが好ましい。凸部領域 30, 32 の断面形状がテーパ形状であることで、後述する、絶縁層 21 のトレンチ 16 内への埋め込みが容易となる。凸部領域 30, 32 の断面形状のテーパ角度 α は、70 度以上 90 度未満であることが好ましい。

【0094】次に、図示しないが、シリコン基板 10 と研磨ストップ層 14 との間に介在しているパッド層 12 の端部をエッチングする。

【0095】(4) 次に、図 7 (a) に示すように、熱酸化法により、トレンチ 16 におけるシリコン基板 10 の露出面を酸化し、トレンチ酸化膜 18 を形成する。また、この熱酸化によって、パッド層 12 の端部がエッチングされていることにより、凸部領域 30, 32 の肩部 10a は、酸化されて、丸みを帯びる。トレンチ酸化膜 18 の膜厚は、たとえば 10~70 nm であり、好ましくは 10~50 nm である。

【0096】(5) 次に、図 7 (b) に示すように、トレンチ 16 を埋め込むようにして、絶縁層 21 を全面に堆積する。絶縁層 21 の材質としては、たとえば酸化シリコンを挙げることができる。絶縁層 21 の膜厚は、トレンチ 16 を埋め込み、少なくとも研磨ストップ層 14 を覆うような膜厚であれば特に限定されない。絶縁層 21 の膜厚は、たとえば 500~800 nm である。絶縁層 21 の堆積方法としては、たとえば高密度プラズマ CVD (HDP-CVD) 法、熱 CVD 法、TEOS プラズマ CVD 法などを挙げることができる。

【0097】(6) 次に、図 7 (c) に示すように、絶縁層 21 を CMP 法により平坦化する。この平坦化は、研磨ストップ層 14 が露出するまで行う。つまり、研磨ストップ層 14 をストップとして、絶縁層 21 を平坦化

する。本実施の形態においては、広い素子分離領域 24 において、ダミー凸部領域 32 が形成されている。すなわち、互いに密に形成された実効凸部領域 24 と、孤立した実効凸部領域 24 との間において、ダミー凸部領域 32 が形成されている。そして、ダミー凸部領域 32 は、半導体装置の項で説明した配置パターンで形成されている。このため、ダミー凸部領域 32 は、広い素子分離領域 24 における禁止区域の付近において、確実に形成されている。その結果、この研磨の際において、広い素子分離領域 24 内においてダミー凸部領域 32 が確実に形成された分だけ、ダミー凸部領域 32 に確実に研磨圧力を分散させることができる。このため、孤立した実効凸部領域 30 に研磨圧力が集中するのをより抑えることができる。したがって、孤立した実効凸部領域 30 における研磨ストップ層 14 が削られるのを、より抑制することができる。

【0098】(7) 次に、図 8 に示すように、研磨ストップ層 14 を、たとえば熱リン酸液を用いて除去する。次に、図 2 に示すように、パッド層 12 と、絶縁層 21 の上部とを、フッ酸により等方性エッチングする。こうして、トレンチ 16 内にトレンチ絶縁層 20 が形成されて、トレンチ素子分離領域 24 が完成する。

【0099】(作用効果) 以下、本実施の形態に係る半導体装置の製造方法の作用効果を説明する。

【0100】本実施の形態に係る半導体装置の製造方法においては、ダミー凸部領域 32 が、半導体装置の項で説明した、ダミー凸部領域 32 のパターンと同様のパターンで形成されている。このため、禁止区域の付近において、ダミー凸部領域 32 が確実に形成されている。その結果、工程 (6) で説明したように、孤立した実効凸部領域 30 における研磨ストップ層 14 が削られるのを、より抑えることができる。したがって、トレンチ絶縁層 20 の膜厚をより均一にすることができる。

【0101】[実験例] ダミー凸部領域の配置パターンの相違によって、実効凸部領域間においてダミー凸部領域が形成される具合が、どのように変化するかを調べるために実験を行った。

【0102】(実施例の条件) 以下、実施例の条件を説明する。

【0103】(1) 実施例においては、ダミー凸部領域の配置パターンは、次のルールにしたがった。

(a) 第 1 の仮想直線と行方向とのなす角度は、約 18.4 度とした。

(b) 第 1 の仮想直線間の間隔は、約 3.2 μm とした。

(c) 第 2 の仮想直線と列方向とのなす角度は、約 18.4 度とした。

(d) 第 2 の仮想直線間の間隔は、約 3.2 μm とした。

(e) 素子分離領域の単位面積当たりに占めるダミー凸

部領域の面積の割合は、40%とした。

(f) ダミー凸部領域の平面形状は、正方形とした。

(g) ダミー凸部領域の平面形状の一辺は、 $2\mu\text{m}$ とした。

(h) 同一の第1の仮想直線上に配置された、隣り合うダミー凸部領域において、対向する辺同士の間隔は、 $1\mu\text{m}$ とした。

(i) 同一の第2の仮想直線上に配置された、隣り合うダミー凸部領域において、対向する辺同士の間隔は、 $1\mu\text{m}$ とした。

(j) 同一の第1の仮想直線上に配置された、隣り合うダミー凸部領域において、互いに列方向にずれた幅は、 $1\mu\text{m}$ とした。

(k) 同一の第2の仮想直線上に配置された、隣り合うダミー凸部領域において、互に行方向にずれた幅は、 $1\mu\text{m}$ とした。

(l) ダミー凸部領域は、その中心が、第1の仮想直線の上に位置するように形成されている。

(m) ダミー凸部領域は、その中心が、第2の仮想直線の上に位置するように形成されている。

(n) 全体的または部分的に禁止区域に重なるダミー凸部領域（禁止区域に接するダミー凸部領域も含む）は、排除されている。

【0104】(2) 禁止区域は、実効凸部領域の周囲の領域に設定した。禁止区域の幅は、 $1\mu\text{m}$ とした。

【0105】(3) 実効凸部領域間の間隔が $10\mu\text{m}$ である領域A1と、実効凸部領域間の間隔が $6\mu\text{m}$ である領域B1を設定した。

【0106】(比較例の条件) 以下、比較例の条件を説明する。

【0107】(1) 比較例においては、ダミー凸部領域を格子状に配置している。具体的には、ダミー凸部領域の配置パターンは、次のルールにしたがった。

(a) 行方向に隣り合うダミー凸部領域間の間隔は、 $1\mu\text{m}$ とした。

(b) 列方向に隣り合うダミー凸部領域間の間隔は、 $1\mu\text{m}$ とした。

(c) ダミー凸部領域の平面形状は、正方形とした。

(d) ダミー凸部領域の一辺は、 $2\mu\text{m}$ とした。

(e) 全体的または部分的に禁止区域に重なるダミー凸部領域（禁止区域に接するダミー凸部領域も含む）は、排除されている。

【0108】(2) 禁止区域は、実効凸部領域の周囲の領域に設定した。禁止区域の幅は、 $1\mu\text{m}$ であった。

【0109】(3) 実効凸部領域のパターンは、実施例と同様のパターンを使用した。なお、実施例の領域A1に対応する領域をA2として表し、実施例の領域B1に対応する領域をB2として表す。

【0110】(結果) この結果を図9および図10に示す。図9は、実施例に係るウエハの一部の平面図であ

る。図10は、比較例に係るウエハの一部の平面図である。なお、実線で示された正方形は実際に形成されたダミー凸部領域を示し、想像線で示された正方形は排除された架空のダミー凸部領域を示す。

【0111】比較例においては、領域A2において、1行分のダミー凸部領域しか形成されていない。すなわち、禁止区域の付近において、ダミー凸部領域が形成されていない。これに対して、実施例においては、領域A1において、禁止区域の付近にも確実にダミー凸部領域が形成されている。

【0112】また、実施例においては、実効凸部領域間の間隔が狭い領域（領域B1）において、ダミー凸部領域が形成されている。これに対して、比較例においては、実効凸部領域間の間隔が狭い領域（領域B2）において、ダミー凸部領域が形成されていない。

【0113】以上のことから、実施例によれば、比較例に比べて、より確実に素子分離領域内にダミー凸部領域を形成できることがわかる。

【0114】[変形例] 本発明は、上記の実施の形態に限定されず、本発明の要旨の範囲で種々の変更が可能である。

【0115】(1) 上記の実施の形態においては、ダミー凸部領域32は、ダミー凸部領域32の中心が、第1の仮想直線L1の上に位置するように、形成されていた。しかし、ダミー凸部領域32は、ダミー凸部領域32の中心ではない他の部分が、第1の仮想直線L1の上に位置するように、形成されていてもよい。すなわち、ダミー凸部領域32が第1の仮想直線L1上にあればよい。

【0116】(2) 上記の実施の形態においては、ダミー凸部領域32は、ダミー凸部領域32の中心が、第2の仮想直線L2の上に位置するように、形成されていた。しかし、ダミー凸部領域32は、ダミー凸部領域32の中心ではない他の部分が、第2の仮想直線L2の上に位置するように、形成されていてもよい。すなわち、ダミー凸部領域32が第2の仮想直線L2上にあればよい。

【図面の簡単な説明】

【図1】トレンチ素子分離領域を有するシリコン基板の平面図である。

【図2】図1におけるA-A線に沿った断面を模式的に示す断面図である。

【図3】ダミー凸部領域の配置パターンを説明するための図である。

【図4】ダミー凸部領域の配置パターンの作用効果を説明するための図である。

【図5】禁止区域を説明するため図であって、ダミー凸部領域を有するシリコン基板の平面図である。

【図6】実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図 7】実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図 8】実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図 9】実施例に係るウエハの一部の平面図である。

【図 10】比較例に係るウエハの一部の平面図である。

【図 11】従来のトレンチ素子分離技術を利用した、素子分離領域の形成工程を模式的に示す断面図である。

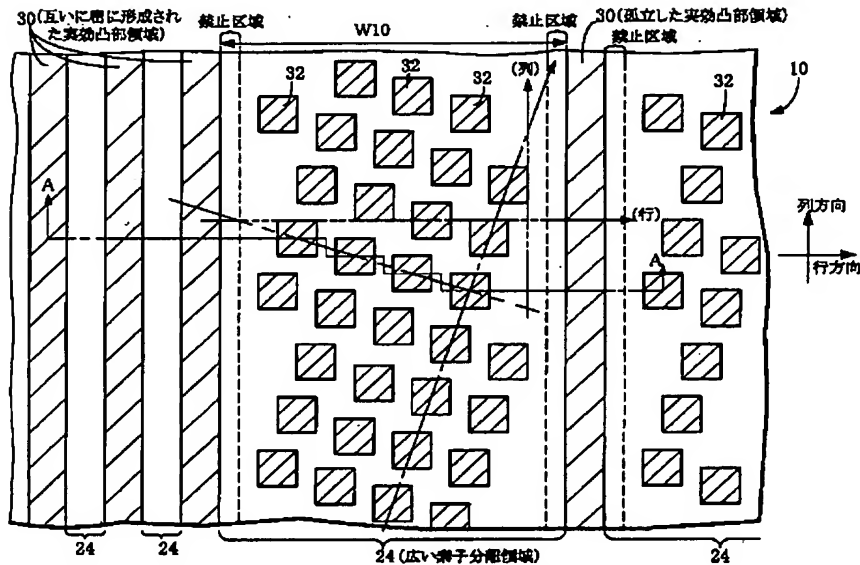
【図 12】ダミー凸部領域を形成した場合における、トレンチ素子分離領域の形成工程を模式的に示す断面図である。

【符号の説明】

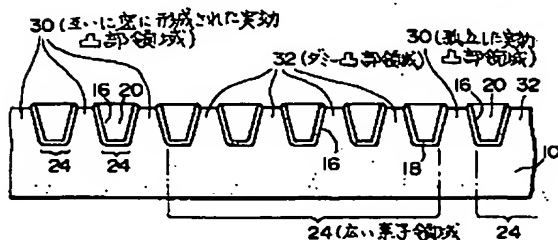
- 10 シリコン基板
- 12 パッド層
- 14 研磨ストップ層
- 16 トレンチ
- 18 トレンチ酸化膜

- 20 トレンチ絶縁層
- 21 絶縁層
- 24 素子分離領域
- 30 実効凸部領域
- 32 ダミー凸部領域
- D1 第1の仮想直線間の間隔
- D2 第2の仮想直線間の間隔
- G10, G20 辺同士の間隔
- L1 第1の仮想直線
- L2 第2の仮想直線
- S1, S2, S3, S4 辺
- T10 ダミー凸部領域の一辺の長さ
- X10 ずれ幅
- Y10 ずれ幅
- $\theta 1$ 第1の仮想直線と行方向とのなす角
- $\theta 2$ 第2の仮想直線と列方向とのなす角

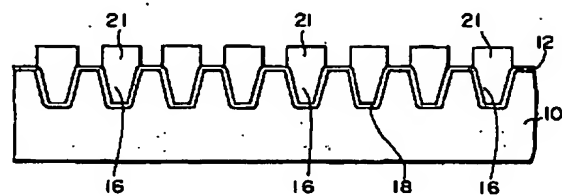
【図 1】



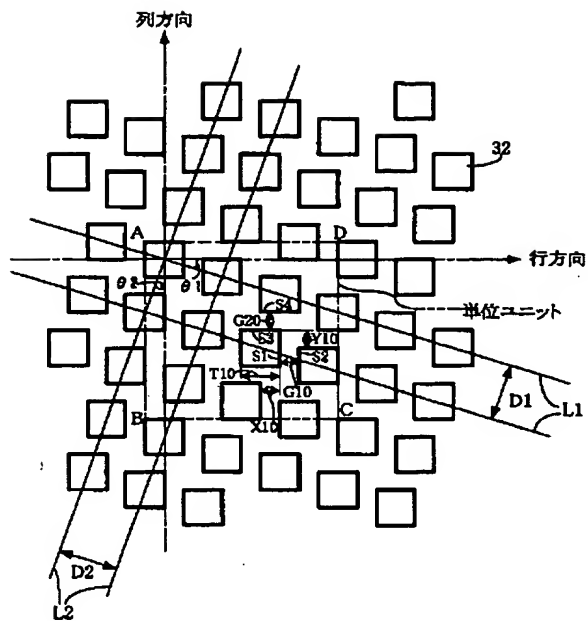
【図 2】



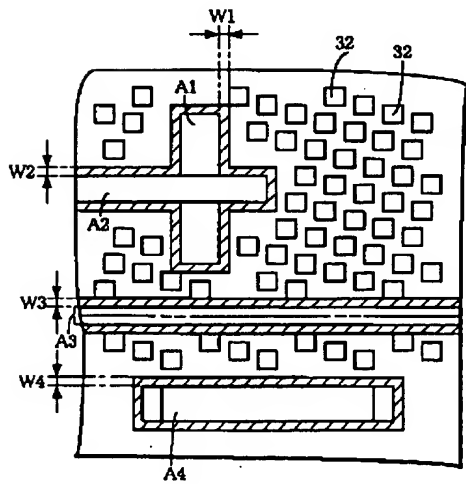
【図 8】



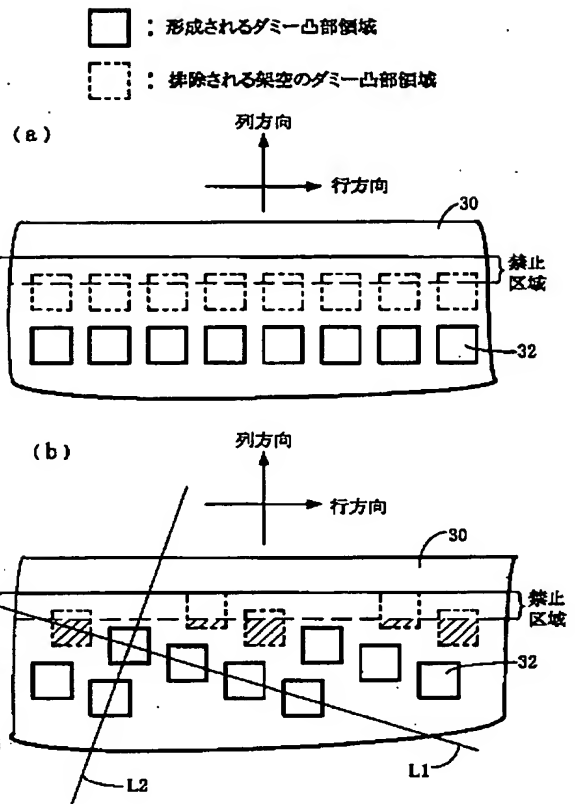
【図 3】



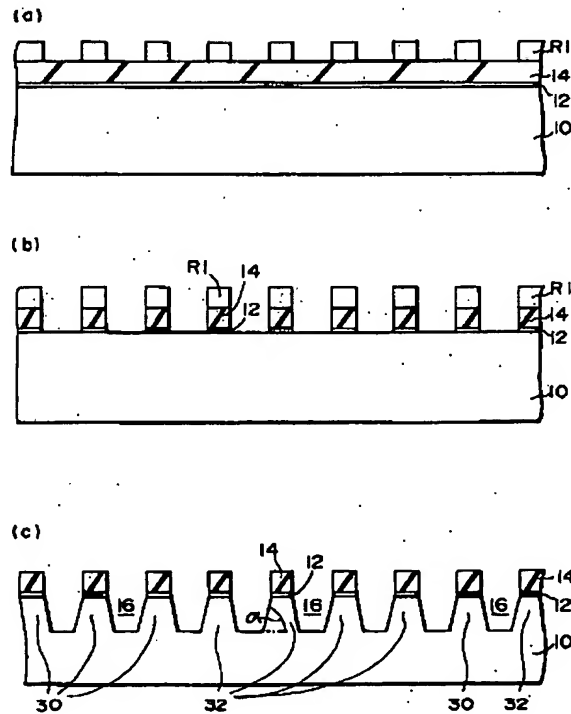
【図 5】



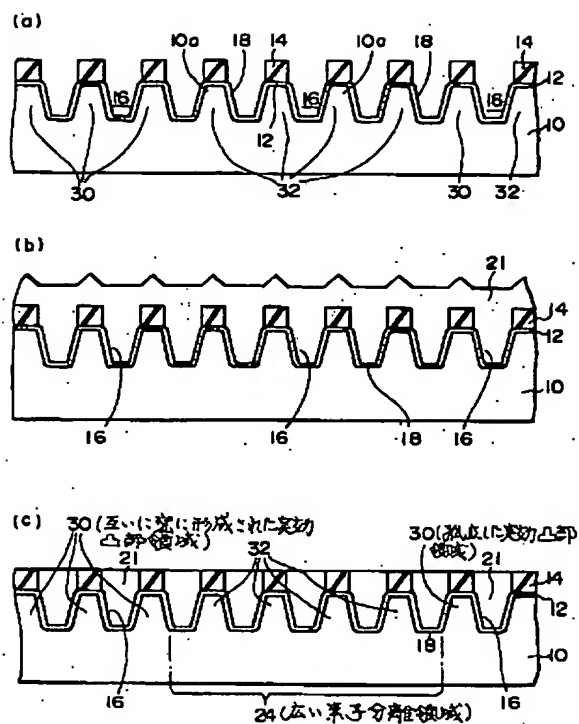
【図 4】



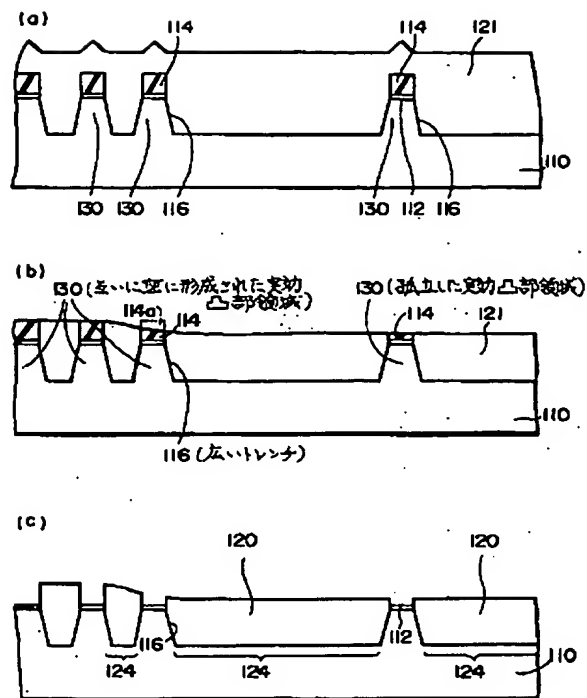
【図 6】



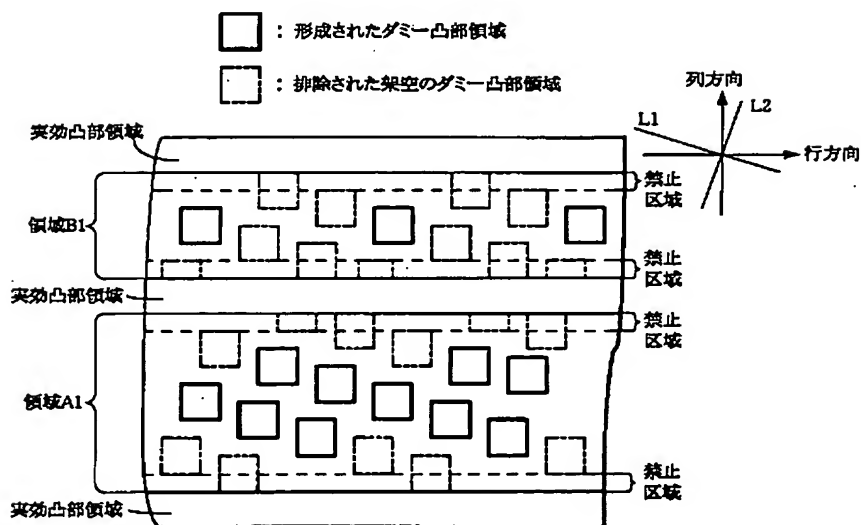
【図 7】



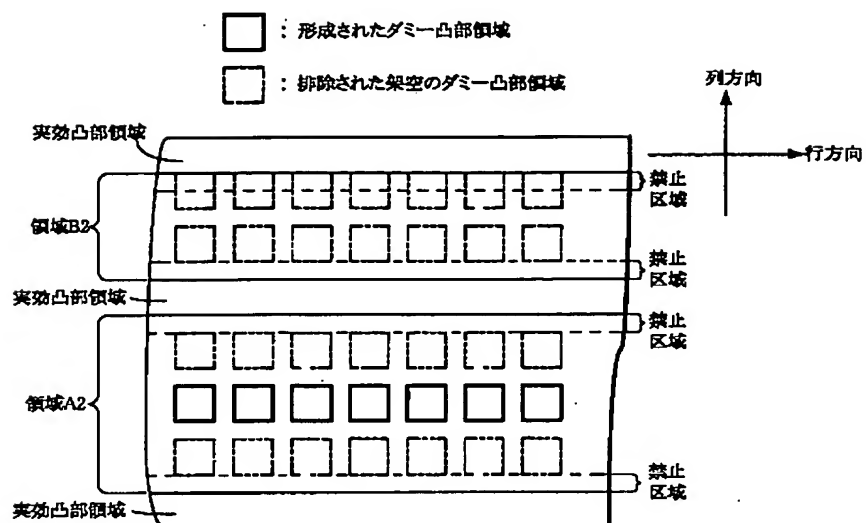
【図 11】



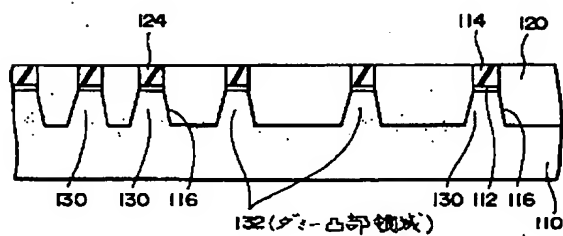
【図 9】



【図10】



【図12】



フロントページの続き

(72)発明者 糟谷 良和
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

Fターム(参考) 5F032 AA34 AA36 AA39 AA44 AA45
BA01 BA02 CA03 CA17 DA02
DA04 DA23 DA24 DA33 DA53
DA78